

CLIPPEDIMAGE= JP410242324A

PAT-NO: JP410242324A

DOCUMENT-IDENTIFIER: JP 10242324 A

TITLE: ELECTRODE-BUILT-IN CERAMIC SUBSTRATE AND
MANUFACTURE THEREOF

PUBN-DATE: September 11, 1998

INVENTOR-INFORMATION:

NAME

KUDO, YASUTO

ASSIGNEE-INFORMATION:

NAME

SUMITOMO METAL MINING CO LTD

COUNTRY

N/A

APPL-NO: JP09041046

APPL-DATE: February 25, 1997

INT-CL (IPC): H01L023/12;H05K003/46

ABSTRACT:

PROBLEM TO BE SOLVED: To avoid cracking by setting the height of built-in electrodes within a specified range and providing at least one hole of the same shape as that of the electrode.

SOLUTION: An electrode-surrounding green sheet 1 has holes 2 fitted to the shape and size of electrodes 9, an auxiliary green sheet 3 is placed on the sheet 1 and integrated therewith, a conductive paste 4 is fed in the holes 2, the surfaces of the paste 4 and green sheet 1 are planarized while wiring green sheets 5 are formed and stacked on the sheet 1 with the green sheet 3 placed as an outermost layer and sintered under a given condition into a unified sheet, and the unsintered auxiliary sheet 3 is removed to form an

electrode structure
where if the electrodes 9 are over 50 μ m high, the
cracking can be greatly
improved.

COPYRIGHT: (C) 1998, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242324

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

H 0 5 K 3/46

H 0 5 K 3/46

Q

N

H

C

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平9-41046

(22) 出願日 平成9年(1997) 2月25日

(71) 出願人 000183303

住友金属鉱山株式会社

東京都港区新橋5丁目11番3号

(72) 発明者 工藤 康人

東京都青梅市末広町1-6-1 住友金属
鉱山株式会社電子事業本部内

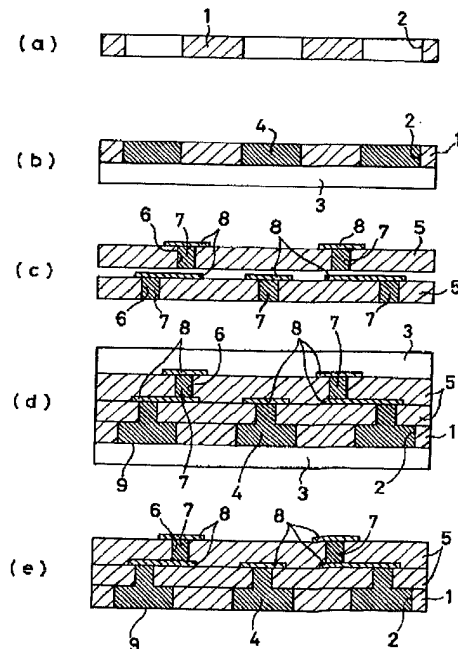
(74) 代理人 弁理士 篠原 泰司

(54) 【発明の名称】 電極を内包したセラミック基板およびその製造方法

(57) 【要約】 (修正有)

【課題】 周囲温度の変化に強く、前記温度サイクル試験のような過酷な条件においてもセラミック基板と電極の接合部にクラックが生じない電極構造を有するセラミック基板およびその製造方法を提供する。

【解決手段】 内包されるべき電極9の高さが50μm以上であり、且つ前記内包されるべき電極と同一形状の少なくとも1つの孔2を有して、前記電極が内包されたとき、前記電極の両露出表面と同一平面になるように構成されている。



【特許請求の範囲】

【請求項1】 内包されるべき電極の高さが $50\mu\text{m}$ 以上であり、且つ前記内包されるべき電極と同一形状の少なくとも1つの孔を有して、前記孔内に前記電極が形成されたとき、表裏面が前記電極の両露出表面と夫々同一平面になるように形成されたセラミック基板。

【請求項2】 電極の形状に孔開けした電極包囲用グリーンシートと、該電極包囲用グリーンシートの焼成温度では焼結されない無機物で構成された補助用グリーンシートを合体する第1工程と、

第1工程で合体された電極包囲用グリーンシートの孔に導電性ペーストを充填する第2工程と、

第2工程で製作された、補助用グリーンシートと合体して導電性ペーストを充填された電極包囲用グリーンシートを前記電極包囲用グリーンシートの焼成温度で焼成する第3工程と、

第3工程で焼結されていない補助用グリーンシートを第3工程で焼結されたセラミック基板の表面から除去する第4工程を含む、電極を内包したセラミック基板の製造方法。

【請求項3】 配線パターンを介して所望枚数積層された配線形成用セラミック基板のスルーホールに充填された接続ビアに電極を接続したセラミック基板において、前記電極の高さが $50\mu\text{m}$ 以上であると共に、前記電極に嵌合するように前記電極の形状の孔が設けられていて、前記孔内に前記電極が形成されたとき表裏面が前記電極の両露出表面と夫々同一平面になるように形成された電極包囲用セラミック基板を、前記配線パターンを介して所望枚数積層された配線形成用セラミック基板に一体的に焼結させたことを特徴とするセラミック基板。

【請求項4】 電極の形状に孔開けした電極包囲用グリーンシートと、前記電極包囲用グリーンシートの焼成温度では焼結されない無機物で構成された補助用グリーンシートを合体する第1工程と、

前記合体した電極包囲用グリーンシートの孔に導電性ペーストを充填する第2工程と、

前記電極包囲用グリーンシートと同じ温度で焼結する配線形成用グリーンシートにスルーホールを形成し、該スルーホールに導電性ペーストを充填してなる接続ビアおよび表面に所望の配線パターンを形成する第3工程と、

第3工程で作成された配線形成用グリーンシートを第2工程で作成された電極包囲用グリーンシート上に所望枚数積層し、最外層に補助用グリーンシートを合体する第4工程と、

第4工程で作成された積層体の電極包囲用グリーンシートと配線形成用グリーンシートの接続ビアおよび配線パターンが、補助用グリーンシートは焼結せず且つ該配線形成用グリーンシートの接続ビアおよび配線パターンが溶融しない温度で、焼結して一体化する第5工程と、

第5工程で焼結されていない補助用グリーンシートを第

5工程で焼結された積層体の表面から除去する第6工程を含む、電極を内包したセラミック基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、BGA（ボールグリッドアレイ）、CSP（チップスケールパッケージ）等に用いるセラミック基板であって、特に実装時の半田付けに好適な信頼性の高い電極構造を有するセラミック基板およびその製造方法に関する。

10 【0002】

【従来の技術】近年、電気機械の小型化および高性能化のために、それに使われる半導体装置においても小型化および多ピン化の要求が増してきている。このような要求から、半導体装置の形態は、従来の配線端子を4辺に配置したBGAあるいはCSPのようなエリアアレイパッケージに移行しつつある。上記エリアアレイパッケージの半導体チップ搭載用基板は、絶縁性のテープやセラミック基板等、多種の絶縁性材料が使われているが、セラミック基板は耐熱性が高いため、半田リフロー等の温度による変形が少なく、また耐湿性が高いため、高信頼性を要求される用途に使用されている。

20 【0003】図2にセラミック基板を用いたエリアアレイパッケージの一例を示す。図2において、7は接続ビア、8は配線パターン、9は電極、10は半導体チップ、11は電極パッド、12はバンプ、13はガラスエポキシ基板、14は配線層、15は半田ボールを夫々示している。半導体チップ10に形成された電極パッド11は、バンプ12を介してセラミック基板表面に形成された最上部の配線パターン8に接続され、接続ビア7および内部の配線パターン8を介してセラミック基板下面に形成された電極9に繋がっている。セラミック基板は配線パターンにより複数の多層基板から構成される。上記のようなセラミック基板を使用した半導体装置の実装は、セラミック基板の下面に形成した電極とガラスエポキシ基板13上の配線層14を半田ボール15等を介して接続する。

【0004】

【発明が解決しようとする課題】しかしながら、ガラスエポキシ基板に実装した上記セラミック基板は、半田あるいはガラスエポキシ基板とセラミック基板の熱膨張係数が異なるため、周囲温度の変化により、セラミック基板とガラスエポキシ基板の接合部に応力が集中する。一般に、セラミックは圧縮応力には強いが、引っ張り応力

40 に弱いことが知られている。

【0005】半導体装置の温度変動の耐久試験として、一般に -40°C および 85°C の異なった温度環境下で30分間づつ半導体装置を保持し、このサイクルを所定回数繰り返す温度サイクル試験が行われているが、この試験により、ガラスエポキシ基板とセラミック基板の熱膨張係数の差によりセラミック基板の下面に形成され

た電極とセラミック基板の接合部に引っ張り応力が生じ、電極とセラミック多層基板の接合部にクラックが発生し、回路が断線したり、ひどい場合は、電極とセラミック基板が剥離し、セラミック基板がガラスエポキシ基板から脱落するという問題点があった。本発明は、周囲温度の変化に強く、前記温度サイクル試験のような過酷な条件においてもセラミック基板と電極の接合部にクラックが生じない電極構造を有するセラミック基板およびその製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明によるセラミック基板は、内包されるべき電極の高さが $50\mu\text{m}$ 以上であり、且つ前記内包されるべき電極と同一形状の少なくとも1つの孔を有していて、前記孔内に前記電極が形成されたとき、表裏面が前記電極の両露出表面と同一平面になるように形成されたことを特徴としている。

【0007】また、請求項2の発明では、電極の形状に孔開けした電極包囲用グリーンシートと、該電極包囲用グリーンシートの焼成温度では焼結されない無機物で構成された補助用グリーンシートを合体する第1工程と、第1工程で合体された電極包囲用グリーンシートの孔に導電性ペーストを充填する第2工程と、第2工程で製作された、補助用グリーンシートと合体して導電性ペーストを充填された電極包囲用グリーンシートを前記電極包囲用グリーンシートの焼成温度で焼成する第3工程と、第3工程で焼結されていない補助用グリーンシートを第3工程で焼結されたセラミック基板の表面から除去する第4工程を含むようにしたことを特徴としている。

【0008】また、請求項3の発明では、配線パターンを介して所望枚数積層された配線形成用セラミック基板のスルーホールに充填された接続ビアに電極を接続したセラミック基板において、前記電極の高さが $50\mu\text{m}$ 以上であると共に、前記電極に嵌合するように前記電極の形状の孔が設けられていて、前記孔内に前記電極が形成されたとき表裏面が前記電極の両露出表面と夫々同一平面になるように形成された電極包囲用セラミック基板を、前記配線パターンを介して所望枚数積層された配線形成用セラミック基板に一体的に焼結させたことを特徴としている。

【0009】また、請求項4の発明では、電極の形状に孔開けした電極包囲用グリーンシートと、前記電極包囲用グリーンシートの焼成温度では焼結されない無機物で構成された補助用グリーンシートを合体する第1工程と、前記合体した電極包囲用グリーンシートの孔に導電性ペーストを充填する第2工程と、前記電極包囲用グリーンシートと同じ温度で焼結する配線形成用グリーンシートにスルーホールを形成し、該スルーホールに導電性ペーストを充填してなる接続ビアおよび表面に所望の配線パターンを形成する第3工程と、第3工程で作成され

た配線形成用グリーンシートを第2工程で作成された電極包囲用グリーンシート上に所望枚数積層し、最外層に補助用グリーンシートを合体する第4工程と、第4工程で作成された積層体の電極包囲用グリーンシートと配線形成用グリーンシートの接続ビアおよび配線パターンが、補助用グリーンシートは焼結せず且つ該配線形成用グリーンシートの接続ビアおよび配線パターンが溶融しない温度で、焼結して一体化する第5工程と、第5工程で焼結されていない補助用グリーンシートを第5工程で焼結された積層体の表面から除去する第6工程を含むことを特徴としている。

【0010】

【発明の実施の形態】以下、本発明の実施例を説明するに先立ち、本発明に係る電極を内包したセラミック基板およびその製造方法における作用について説明する。本発明の電極包囲用セラミック基板は、セラミック基板に電極を埋設し、露出した電極表面がセラミック基板表面と同一面となるように構成する。前記のように構成する事により、セラミック内壁面が電極全体を確実にサポートし、温度サイクル試験による引っ張り応力が、直接、セラミック基板と電極の接合部に集中することが回避される。なお、電極の高さ（電極包囲用セラミック基板の板厚）が $50\mu\text{m}$ 以下では、電極包囲用セラミック基板に対する引張応力が吸収できなくなり、また厚すぎてもコストが増大するのみで効果が少なくなるため、電極の高さは $50\mu\text{m}$ 以上、好ましくは $100\sim 200\mu\text{m}$ の高さとする。

【0011】電極に用いる金属（導電性ペースト）は特に限定されないが、金、銀及び銅ペーストのような柔らかい金属にセラミック絶縁体と電極を接合させるためのガラスあるいは酸化物を含むものが好ましい。図1の(a)～(e)は、本発明によるセラミック基板の製造方法を示す工程説明図であり、図1において、1は電極包囲用グリーンシート、2は孔、3は補助用グリーンシート、4は導電性ペースト、5は配線形成用グリーンシート、6はスルーホール、7は接続ビア、8は配線パターン、9は電極を夫々示している。

【0012】上記電極は、以下の工程にて製造する。電極包囲用グリーンシート1は従来技術を用いて、樹脂、溶剤、可塑材とセラミック粉末のスラリーをドクターブレードにて引き延ばして得られる。電極包囲用グリーンシート1には、金型あるいはレーザー等を用いて、電極9の形状および大きさに合わせた孔2を開け、この電極包囲用グリーンシート1上に、電極包囲用グリーンシート1の焼成温度では焼結されない無機物で構成された補助用グリーンシート3を1軸プレスあるいは静水圧プレス機で積層し一体化させる。

【0013】電極包囲用グリーンシート1のセラミック粉末としては、特に限定されないが、アルミナ、ムライト、ガラスセラミック等が使用される。また、補助用グ

リーンシート3のセラミック粉末としては、電極包囲用グリーンシート1のセラミック粉末が800~900°Cで焼成されるガラスセラミックである場合は、アルミナ、ムライト、窒化アルミニウム、アルカリ土類金属の炭酸塩等が使用され、電極包囲用グリーンシート1のセラミック粉末がアルミナである場合は、窒化アルミニウム、炭化珪素等が使用される。前記合体した電極包囲用グリーンシート1の孔2には、スクリーン印刷機あるいはペースト加圧充填機を用いて導電性ペースト4が充填される。この場合、電極包囲用グリーンシート1と補助用グリーンシート3は合体しているため、導電性ペースト4の表面と電極包囲用グリーンシート1の表面は平坦面として形成される。たとえばBGAあるいはCSPへの適用を考えると、ICの半田ボール16をキャリアの電極に加圧して接合する際に、あるいはプリント基板に半田接合する際に、高い平坦性が要求されるが、本製造法によれば、研磨することなしに平坦な電極面が得られる。

【0014】また、上記の導電性ペースト4を充填したグリーンシート積層体を作成する一方、他方では電極包囲用グリーンシート1と同じ温度で焼結しスルーホール6が形成された配線形成用グリーンシート5を作成する。このスルーホール6の形成には、打ち抜き、レーザー加工等が使用される。スルーホール6には、導電性ペースト4をスクリーン印刷法等を用いて充填して、接続ビア7および所望の配線パターン8を形成する。このようにして得られた配線形成用グリーンシート5を、前記電極包囲用グリーンシート1上に所望枚数積層して、最外層に補助用グリーンシート3を積層する。この積層工程は、上述の電極包囲用グリーンシート1と補助用グリーンシート3の一体化と同様の方法で行う。この積層体は、補助用グリーンシート3が焼結せず接続ビア7および配線パターン8が溶解しない温度で焼結させ一体化させる。最後に、焼結されていない前記補助用グリーンシート3を前記焼結された積層体の表面からブラシで擦る等の方法で除去することによって、本発明の電極構造が得られる。必要に応じて電極表面にニッケルと金メッキを施せば半田濡れ性も良好にすることができる。

【0015】次に実施例を用いて本発明をさらに具体的に説明する。

実施例

図1(a)~(e)は、本発明による電極を内包したセラミック基板およびその製造方法の実施例を示している。ガラス転移点683°Cのガラス粉末56重量部とアルミナ44重量部からなる電極包囲用グリーンシート1に図1(a)に示すように直径500μmの円形の孔2を1mmピッチで打ち抜き加工する。次に、打ち抜き加工を施した電極包囲用グリーンシート1を、図1

(b)に示すようにアルミナ100重量部からなる補助用グリーンシート3上に80°C、100kg/cm²の条件で積層し一体化させ、補助用グリーンシート3と合体したグリーンシート1の孔2にスクリーン印刷法により導電性ペースト4を充填して乾燥させる。これとは別に図1(c)に示すように配線形成用グリーンシート5に直径10μm、1mmピッチのスルーホール6を打ち抜き加工し、その後、スクリーン印刷法により接続ビア7と配線パターン8を導電性ペースト4により形成する。

【0016】次に、図1(d)に示すように、図1(b)と図1(c)で夫々製作した2つの積層体を、補助用グリーンシート3が最外層になるように積層して、80°C、100kg/cm²の条件で一体化した後、850°Cの大気中で焼成する。焼成後、未焼成のアルミナをブラシで擦って除去し、図1(e)に示す半導体素子搭載用セラミック基板積層体を得る。本製造法により電極表面とセラミック絶縁層表面が平坦な面に形成される。電極の高さ(電極包囲用セラミック基板の板厚)を変えて製造した13mm×13mmのセラミック基板(熱膨張係数6.0×10⁻⁶)をプリント基板(熱膨張係数15.0×10⁻⁶)に半田付けした後、-55°Cおよび125°Cの異なった温度環境下で30分間づつ保持し、このサイクルを夫々50、100、500、及び1000回繰り返す温度サイクル試験に供して、クラックの発生を調べた結果を表1に示す。この表から、電極9の高さが50μm以上あれば、クラック発生を著しく改善できることが分かる。

表1

温度サイクルによるクラックの発生数 (不良数/試験数)

| 温度サイクル数 | 50 | 100 | 500 | 1000 | 備考 |
|-----------------------|-------|------|------|------|------|
| 電極高さ25 μm | 0/15 | 2/15 | 3/15 | 6/15 | 比較例 |
| 電極高さ50 μm | 0/15 | 0/15 | 0/15 | 0/15 | 本発明例 |
| 電極高さ100 μm | 0/15 | 0/15 | 0/15 | 0/15 | 本発明例 |
| 電極高さ150 μm | 0/15 | 0/15 | 0/15 | 0/15 | 本発明例 |
| 従来例 | 15/15 | 0/15 | 0/15 | 0/15 | 比較例 |

【0017】

【発明の効果】上述のように、本発明によれば、セラミック基板とプリント基板の熱膨張係数の差によって、プリント基板と相対するセラミック基板面に形成された電極とセラミック基板との接合部に生ずる引っ張り応力を効果的に回避して、信頼性の高い接続ができる。また、本発明による製造方法によれば、平坦性の高い電極面を容易に製造することができる。

【図面の簡単な説明】

【図1】本発明に係るセラミック基板の製造工程を示す説明図である。

【図2】従来のセラミック基板を用いたエリアレイバパッケージを示す断面図である。

【符号の説明】

1 電極包囲用グリーンシート

* 30

* 2

孔

3

補助用グリーンシート

4

導電性ペースト

5

配線形成用グリーンシート

20

6

スルーホール

7

接続ビア

8

配線パターン

9

電極

10

半導体チップ

11

電極パッド

12

バンパ

13

ガラスエポキシ基板

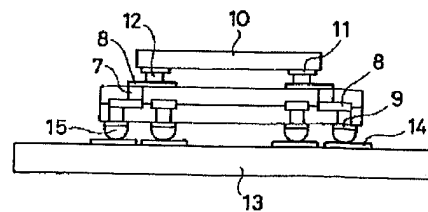
14

配線層

15

半田ボール

【図2】



【図1】

